

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-235765

(43)Date of publication of application : 10.09.1993

(51)Int.Cl.

H03M 1/20

(21)Application number : 04-035134

(71)Applicant : YOKOGAWA ELECTRIC CORP

(22)Date of filing : 21.02.1992

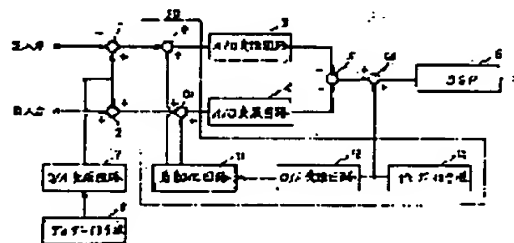
(72)Inventor : SHIMADA SHUSAKU

## (54) A/D CONVERTER

### (57)Abstract:

**PURPOSE:** To realize the A/D converter whose quantization error is reduced with simple circuit configuration while employing an D/A converter circuit with less number of bits.

**CONSTITUTION:** The converter is featured to be provided with a dither signal source 8, analog adders 1, 2 superimposing a dither signal and an input signal, A/D converter circuits 3, 4 ADD-converting the signal, a subtractor 5 adding the differential signals, an arithmetic operation processing circuit applying arithmetic operation processing to the output of the subtractor 5, a 2nd dither signal source 13, analog adders 9,10 superimposing the 2nd dither signal onto the input signal and an analog adder 14 superimposing directly the signal from the 2nd dither signal source 13 onto the input signal.



## LEGAL STATUS

[Date of request for examination] 19.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3047054

[Date of registration] 24.03.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

Searching PAJ

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-235765

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl.<sup>5</sup>

H 0 3 M 1/20

識別記号

庁内整理番号

9065-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号 特願平4-35134

(22)出願日 平成4年(1992)2月21日

(71)出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72)発明者 島田 修作

東京都武蔵野市中町2丁目9番32号 横河

電機株式会社内

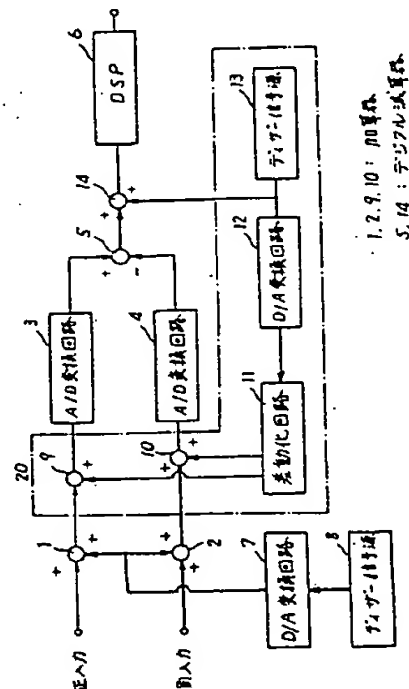
(74)代理人 弁理士 小沢 信助

(54)【発明の名称】 アナログ／デジタル変換装置

(57)【要約】

【目的】 ビット数の少ないA/D変換回路を使用しながらも、簡単な回路構成で量子化誤差の低減されたA/D変換装置を実現すること。

【構成】 ディザ信号源と、ディザ信号と入力信号を重ねるのアナログ加算器と、その信号をアナログ／デジタル変換する回路と、その信号の差動正極性差動負極性を加算する減算器と、減算器の出力を演算処理する演算処理回路と、第2のディザ信号源と、第2のディザ信号を重ねるアナログ加算器と、直接第2のディザ信号源からの信号を重ねるアナログ加算器とを設けたことを特徴とするアナログ／デジタル変換装置



## 【特許請求の範囲】

【請求項1】 ランダムデータを出力する第1のディザ一信号源と、

前記第1のディザ一信号源からデジタルデータ入力しをデジタル／アナログ変換して出力する第1のデジタル／アナログ変換回路と、

差動正極性の入力信号と前記第1のデジタル／アナログ変換回路からの出力を重畳する第1のアナログ加算器と、

差動負極性の入力信号と前記第1のデジタル／アナログ変換回路からの出力を重畳する第2のアナログ加算器と、

ランダムデータを出力する第2のディザ一信号源と、

前記第2のディザ一信号源からデジタルデータ入力しをデジタル／アナログ変換して出力する第2のデジタル／アナログ変換回路と、

前記第2のデジタル／アナログ変換回路からの出力を、差動正極性の出力と差動負極性の出力にして出力する差動化回路と、

前記第1のアナログ加算器からの出力と差動化回路の差動正極性の出力とを重畳し、第1のアナログ／デジタル変換回路に出力する第3のアナログ加算器と、

前記第2のアナログ加算器からの出力と差動化回路の差動正極性の出力とを重畳し、第2のアナログ／デジタル変換回路に出力する第4のアナログ加算器と、

前記第1のアナログ加算器からの出力をアナログ／デジタル変換する第1のアナログ／デジタル変換回路と、

前記第2のアナログ加算器からの出力をアナログ／デジタル変換する第2のアナログ／デジタル変換回路と、

前記第1のアナログ／デジタル変換回路の出力に第2のアナログ／デジタル変換回路の出力を減算する第1のデジタル減算器と、

前記第2のディザ一信号源からの信号を前記減算器の出力から減算するための第2のデジタル減算器と、

前記第2のデジタル減算器を演算処理する演算処理回路を設け、アナログ／デジタルにおける量子化誤差を低減することを特徴とするアナログ／デジタル変換装置。

【請求項2】 ランダムデータを出力するディザ一信号源と、

前記ディザ一信号源からデジタルデータ入力しをデジタル／アナログ変換して出力するデジタル／アナログ変換回路と、

差動正極性の入力信号と前記デジタル／アナログ変換回路からの出力を重畳する第1のアナログ加算器と、

差動負極性の入力信号と前記デジタル／アナログ変換回路からの出力を重畳する第2のアナログ加算器と、

前記第1のアナログ加算器からの出力をアナログ／デジタル変換する第1のアナログ／デジタル変換回路と、

前記第2のアナログ加算器からの出力をアナログ／デジタル変換する第2のアナログ／デジタル変換回路と、

前記第1のアナログ／デジタル変換回路の出力に第2のアナログ／デジタル変換回路の出力を減算するデジタル減算器と、

前記デジタル減算器の出力を演算処理する演算処理回路を設け、アナログ／デジタルにおける量子化誤差を低減することを特徴とするアナログ／デジタル変換装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ディザ一を付加したアナログ／デジタル変換装置分解能の改善に関する。

【0002】

【従来の技術】 デジタルオシロスコープ等の高速のアナログ信号をデジタル化しデジタル信号処理を行って、そのアナログ信号を視測する装置においては、アナログ信号をデジタル化する技術が非常に重要なものとなる。このデジタル化において、問題となるのはアナログ／デジタル変換（以下A/D変換と呼ぶ）技術における性能である。この性能は一般的には時間分解に対する精度である広帯域性（サンプリング速度）あるいはその測定するデータに対する精度である高分解能性によって表現される。このA/D変換の高分解能性は、単純にはその使用するA/D変換回路のビット数によって定まるものである。しかしながら、ビット数を増やすにはその回路構成が非常に複雑化し、回路全体の精度、の信頼性あるいはコスト等に多大な影響をおよぼす。そこで、少ないビット数で高分解能性を有するA/D変換装置にするために、例えば同じ入力信号にたいし、複数個のA/D変換回路を、並列に接続し、僅かな時間差で入力信号をA/D変換し、その結果を平均化等することで、分解能を上げる手法がしばしば用いられている。

【0003】

【発明が解決しようとする課題】 しかしながら、この方法では、全く同じ信号が入力された場合、量子化誤差はまったく低減されないことになる。またA/D変換回路を複数用いるので、回路全体の消費電力などの問題が生じてくる。そこで、本発明はA/D変換回路を多数使用せずかつビット数が低いものを用いて分解能の高いA/D変換装置を提供することにある。

【0004】

【課題を解決するための手段】 本発明は、ランダムデータを出力する第1のディザ一信号源と、前記第1のディザ一信号源からデジタルデータ入力しをデジタル／アナログ変換して出力する第1のデジタル／アナログ変換回路と、差動正極性の入力信号と前記第1のデジタル／アナログ変換回路からの出力を重畳する第1のアナログ加算器と、差動負極性の入力信号と前記第1のデジタル／アナログ変換回路からの出力を重畳する第2のアナログ加算器と、ランダムデータを出力する第2のディザ一信号源と、前記第2のディザ一信号源からデジタルデータ入力しをデジタル／アナログ変換して出力する第2のデ

ジタル／アナログ変換回路と、前記第2のデジタル／アナログ変換回路からの出力を、差動正極性の出力と差動負極性の出力にして出力する差動化回路と、前記第1のアナログ加算器からの出力と差動化回路の差動正極性の出力とを重畳し、第1のアナログ／デジタル変換回路に出力する第3のアナログ加算器と、前記第2のアナログ加算器からの出力と差動化回路の差動正極性の出力とを重畳し、第2のアナログ／デジタル変換回路に出力する第4のアナログ加算器と、前記第1のアナログ加算器からの出力をアナログ／デジタル変換する第1のアナログ／デジタル変換回路と、前記第2のアナログ加算器からの出力をアナログ／デジタル変換する第2のアナログ／デジタル変換回路と、前記第1のアナログ／デジタル変換回路の出力に第2のアナログ／デジタル変換回路の出力を減算する第1のデジタル減算器と、前記第2のディザ信号源からの信号を前記減算器の出力から減算するための第2のデジタル減算器と、前記第2のデジタル減算器を演算処理する演算処理回路を設け、アナログ／デジタルにおける量子化誤差を低減することを特徴とするアナログ／デジタル変換装置である。

【0005】

【作用】入力信号に無関係で、スペクトラムが後段演算処理回路に応じて制御された擾乱信号を付加した信号のデジタルデータを適正なフィルタリング等の演算を行うからA/D変換器による量子化誤差を低減できる。

【0006】

【実施例】図1、図2ともに、本発明の基本構成図である。図1は包括した構成であり、図2はその部分だけを用いた構成である。従って図1を用いて本発明における構成及び動作を説明する。尚、図1、図2において同一のものは同符号を付ける。図において1、2、9、10、はアナログ加算器、3、4はA/D変換器、5、14はデジタル減算器、6は演算処理回路（以下、デジタルシグナルプロセッサすなわちDSPと呼ぶ）7、12はD/A変換器、8、13は入力信号と比較して、微小デジタルデータを出力するディザ信号源、11は差動化回路である。なお、ディザ技術とは、A/D変換する前に原信号のアナログへ細かいランダム雑音を加える（このことをディザという）、この信号標本化したデジタル信号は単純な階段でなくなり分解能があげられることをいう。なお、単純にA/D変換する前の信号にディザ信号を重畳し、デジタル値にそのディザ分を引く（いわゆるディザ重畳）という技術により分解能があるという効果は一般に知られている。

【0007】この場合は入力信号は差動信号として入力されているものとする。ディザ信号源8から出力されるランダムデータはD/A変換器7を介して、微小変動のアナログ信号となりアナログ加算器1によって差動正極性の入力信号に重畳され、アナログ加算器2によって差動負極性の入力信号に重畳される。このように、同極

性のディザ信号が、2線によって入力している信号の両者に重畳されているので、この加算を同相ディザを重畳するという。

【0008】一方ディザ信号源9から出力されるランダムデータはデジタル減算器14に出力されると同時に、D/A変換器12を介して、微小変動のアナログ信号となり差動化回路において、D/A変換器12からの出力に対し反転した信号をも発生させ、差動正極性側

（D/A変換器12の出力）はアナログ加算器1の出力にアナログ加算器9によって重畳され、反転出力はアナログ加算器10によってアナログ加算器2の出力に重畳される。このように、互いに反転した極性のディザ信号が、2線によって入力している信号の両者に重畳されているので、この加算を差動ディザを重畳するという。

【0009】アナログ加算器9からの出力はA/D変換器3で、アナログ加算器10からの出力はA/D変換器4でアナログ／デジタル変換される。A/D変換器3のデジタル出力から、A/D変換器4デジタル出力を減算器5にて減算する。ここで、アナログ加算器1、2により重畳されたディザ信号源5からのディザ信号はキャンセルされる。デジタル減算器14では、ディザ信号源13からのデジタルデータを2倍にして加算するから重畳された差動ディザがキャンセルすなわち減算される。

【0010】従って、A/D変換器3、4の前にディザを重畳しているため、デジタル減算器14の出力はディザそのものを除いた入力信号にかかわらず、単純な階段状にならない。よってこの信号をDSP6において、デジタルフィルタを通過させることで高い分解能を持つ信号データが得られる。ここにおけるデジタルフィルタとは、具体的にはFIR型のデジタルローパスフィルタなどで実現するもので、入力信号をデジタル化したときの量子化ノイズを遮断し、高分解能化をはかるものである。また、ディザ信号源8とディザ信号源13を相互に無関係なものにすることにより、このアナログ／デジタル変換装置の出力の量子化ノイズは、すべてのDSP6の通過帯域において、近似的に白色化することが可能となる。

【0011】

【発明の効果】以上詳細に説明したように、本発明により高分解能かつ量子化誤差高周波特性の良いA/D変換回路を実現できる。

【図面の簡単な説明】

【図1】第1の発明の構成図である。

【図2】第2の発明の構成図である。

【符号の説明】

1、2、9、10、 アナログ加算器

3、4 アナログ／デジタル変換器

5、14 デジタル減算器

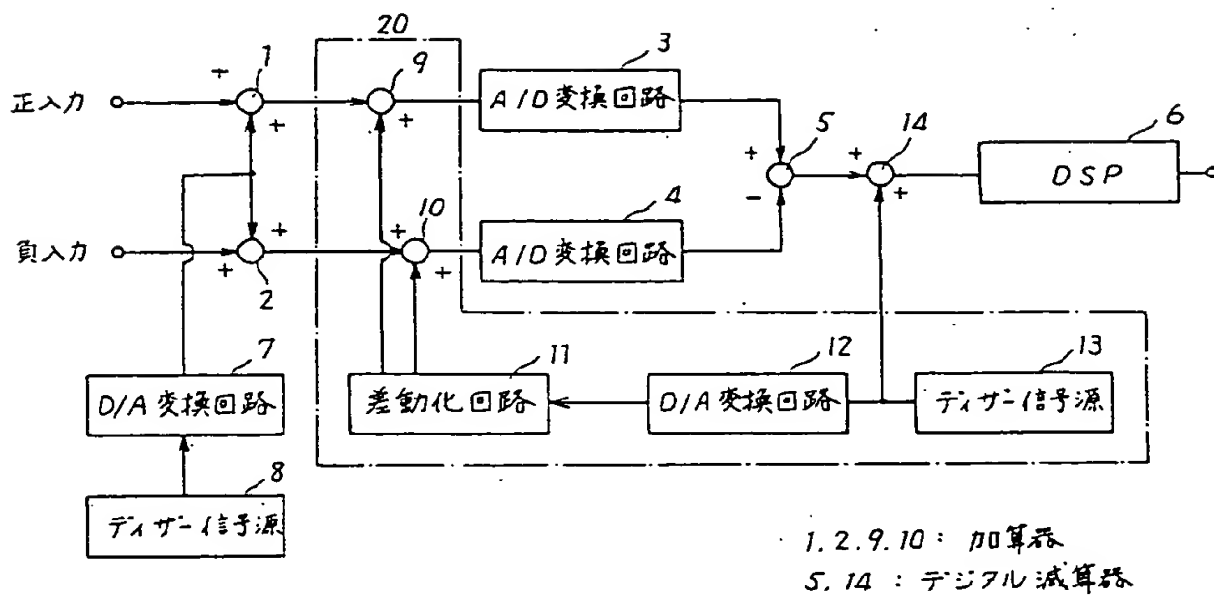
6 DSP

7, 12 デジタル/アナログ変換器

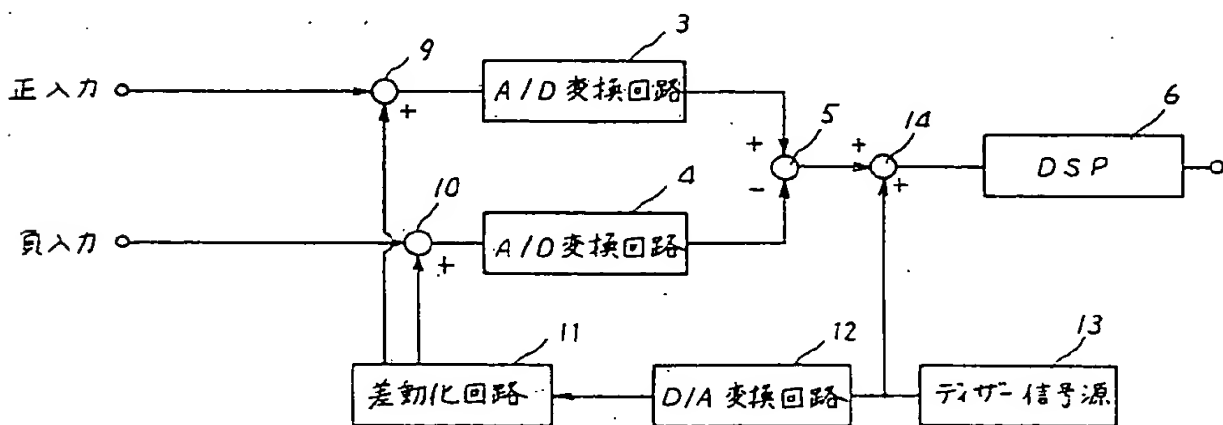
8, 13 ディザー信号源

11 差動化回路

【図1】



【図2】



【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第3区分  
 【発行日】平成11年(1999)8月6日

【公開番号】特開平5—235765  
 【公開日】平成5年(1993)9月10日  
 【年通号数】公開特許公報5—2358  
 【出願番号】特願平4—35134  
 【国際特許分類第6版】  
 H03M 1/20  
 【F1】  
 H03M 1/20

# 【手続補正書】

【提出日】平成10年6月19日

# 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】アナログ／デジタル変換装置

【特許請求の範囲】

【請求項1】差動入力信号の正極性系統と負極性系統のそれぞれにアナログ／デジタル変換回路を設けたアナログ／デジタル変換装置において、各アナログ／デジタル変換回路の前段に同一波形で同一極性の同相ディザ信号と同一波形で互いに逆極性の差動ディザ信号の少なくともいずれかを加算し、これら加算したディザ信号成分を各アナログ／デジタル変換回路の後段でデジタル的に減算することを特徴とするアナログ／デジタル変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はアナログ／デジタル変換装置に関するものであり、詳しくは、アナログ／デジタル変換装置の分解能の改善に関する。

【0002】

【従来の技術】デジタルオシロスコープやスペクトラムアナライザ等の、高速アナログ信号をデジタル化してデジタル信号処理を行うことによりそのアナログ信号を観測する装置においては、アナログ信号をデジタル化する技術が非常に重要なものとなる。ところで、デジタル化において問題となるのはアナログ／デジタル変換（以下A/D変換と呼ぶ）技術における性能であって、その性能は、一般的には時間軸上の分解能に対する精度である広帯域性（サンプリング速度）や、その測定信号の振幅に対する分解能によって表現される。A/D変換の分解能は、単純にはA/D変換回路のビット数、詳しくはA/D変換回路で使用する量子化手段のビット数と信号

帯域に対するナイキスト周波数の大きさすなわちオーバーサンプリング比によって定まる。しかしながら、このビット数を増やそうとすると回路構成が複雑化することは避けられず、回路全体に求められる精度やコストに多大な影響をおよぼす。そこで、少ないビット数でありながらその分解能に比べて高い精度を有する量子化手段を信号帯域幅に対して高いサンプリング周波数でオーバーサンプリングさせる並列型A/D変換装置が用いられている。このとき、少ないビット数の量子化手段による量子化誤差が入力信号に対して特定の影響を与えることなく無相関になるように、入力信号にランダムなディザ（擾乱）信号を加えて白色化する必要がある。このように白色化することにより、デジタル信号処理による広いダイナミックレンジでの高速アナログ信号の観測が可能になる。

【0003】

【発明が解決しようとする課題】しかしながら、単純にディザ信号を入力信号に加えただけでは、量子化手段の出力データの量子化誤差は白色化されるものの、ディザ信号分のノイズが増加することになる。また、現実には、少ないビット数でありながらその分解能に比べて高い精度を有する量子化手段を実現することも困難である。本発明はこれらの問題点を解決したものであり、その目的は、比較的低分解能で高精度の特性の揃った2個のA/D変換回路（量子化手段）を用いることによって結果的に高い分解能が得られるA/D変換装置を提供することにある。

【0004】

【課題を解決するための手段】このような目的を達成する本発明は、差動入力信号の正極性系統と負極性系統のそれぞれにアナログ／デジタル変換回路を設けたアナログ／デジタル変換装置において、各アナログ／デジタル変換回路の前段に同一波形で同一極性の同相ディザ信号と同一波形で互いに逆極性の差動ディザ信号の少なくともいずれかを加算し、これら加算したディザ信号成分を各アナログ／デジタル変換回路の後段でデジタル

的に減算することを特徴とする。

【0005】

【作用】差動入力信号の正負各系統のアナログ／デジタル変換回路の量子化ステップは各系統毎に重畳されるディザ信号により平均的には低減され、アナログ／デジタル変換回路の出力データに含まれる量子化ノイズもディザ信号により確率的にランダム化するなわち白色化され、しかも重畳されたディザ信号成分はアナログ／デジタル変換回路の後段でデジタル的に減算することにより相殺されることになる。

【0006】

【実施例】図1は本発明の一実施例を示す構成図である。図において、アナログ加算器1の一方の入力端子には正極性の入力信号が加えられる入力端子が接続され、アナログ加算器2の一方の入力端子には負極性の入力信号が加えられる入力端子が接続されている。これらアナログ加算器1、2の他方の入力端子には、D/A変換器7を介してディザ信号源8が接続されている。アナログ加算器9の一方の入力端子にはアナログ加算器1の出力端子が接続され、アナログ加算器10の一方の入力端子にはアナログ加算器2の出力端子が接続されている。これらアナログ加算器9、10の他方の入力端子には、差動化回路11の出力端子が接続されている。差動化回路11にはD/A変換器12を介してディザ信号源13が接続されている。アナログ加算器9の出力端子はA/D変換器3を介してデジタル減算器5の一方の入力端子に接続され、アナログ加算器10の出力端子はA/D変換器4を介してデジタル減算器5の他方の入力端子に接続されている。デジタル減算器5の出力端子はデジタル減算器14の一方の入力端子に接続されている。デジタル減算器14の他方の入力端子にはディザ信号源13が接続されている。デジタル減算器14の出力端子は演算処理回路（以下、デジタルシグナルプロセッサすなわちDSPと呼ぶ）に接続されている。ここで、ディザ信号源8、13は、入力信号と比較して微小レベルのデジタルデータを出力する。なお、A/D変換する前のアナログ信号にディザ信号を重畳してA/D変換されたデジタル信号からそのディザ成分を引くことにより分解能を高めることは、ディザ重畳技術として一般に知られている。

【0007】図1の入力信号は差動信号として入力されているものとする。ディザ信号源8から出力されるランダムデータはD/A変換器7で微小変動のアナログ信号に変換され、アナログ加算器1によって正極性の入力信号に重畳されるとともにアナログ加算器2によって負極性の入力信号に重畳される。このように同極性のディザ信号を2線を介して入力される信号に重畳することを、同相ディザを重畳するという。

【0008】一方ディザ信号源13から出力されるランダムデータは、デジタル減算器14に加えられると

もに、D/A変換器12により微小変動のアナログ信号に変換されて差動化回路11に加えられる。差動化回路11は、D/A変換器12の変換出力に対して反転した信号をも発生する。なお、差動化回路11の非反転出力と反転出力のレベルは、差動化回路11のゲインを1とすると、互いに0.5になる。差動化回路11の差動正極性側出力信号（D/A変換器12の出力）はアナログ加算器9に入力されてアナログ加算器1の出力に重畳され、差動負極性側出力信号（D/A変換器12の反転出力）はアナログ加算器10に入力されてアナログ加算器2の出力に重畳される。このように互いに反転した極性のディザ信号を2線を介して入力される信号に重畳することを、差動ディザを重畳するという。

【0009】アナログ加算器9の出力はA/D変換器3でデジタル信号に変換され、アナログ加算器10の出力はA/D変換器4でデジタル信号に変換される。そして、減算器5において、A/D変換器3のデジタル出力からA/D変換器4のデジタル出力を減算する。この減算により、アナログ加算器1、2で各入力に重畳されたディザ信号源8からの同相ディザ信号はキャンセルされる。さらに、デジタル減算器14においてディザ信号源13からデジタルデータが加算され、差動化回路11からアナログ加算器9、10に重畳された差動ディザがキャンセルされる。

【0010】このように、図1の構成によれば、A/D変換器3、4の前段でディザを重畳した状態でデジタル信号に変換し、重畳したディザをデジタル信号に変換した状態で除いていることから、デジタル減算器14の出力信号は実質的にディザを除いた入力信号になっているにもかかわらず単純な階段状にならない。したがって、このデジタル減算器14の出力信号をDSP6に入力してデジタルフィルタを通過させることにより、高い分解能を持つ信号データが得られる。ここで、デジタルフィルタとしては具体的にはFIR型のデジタルローパスフィルタなどを用い、入力信号をデジタル化したときの量子化ノイズを遮断して高分解能化をはかる。また、ディザ信号源8とディザ信号源13を相互に無相関なものにすることにより、DSP6のすべての通過帯域において、アナログ／デジタル変換装置の出力の量子化ノイズを近似的に白色化することが可能となる。具体的には、同相ディザ信号源8からは例えば振幅がA/D変換器3、4の最小分解能とほぼ同等レベルのディザ信号を加えることにより、前述のデジタルフィルタの作用との相乗効果によってA/D変換器3、4の出力データに現われる最小分解能に起因する階段状の変化（量子化誤差）を滑らかにして実質的に分解能を改善することができる。一方、ディザ信号源13からは例えば振幅がA/D変換器3、4の最小分解能よりも大きいディザ信号を加えることにより、前述のデジタルフィルタの作用との相乗効果によってA/D変換器3、4の



入力レベル変化に対する出力データの直線性に周期的に現われるうねりの変化量を小さくして実質的に直線性を改善することができる。なお、図1では同相ディザーと差動ディザーの両方を重畳しているが、用途に応じていずれか一方のみを重畳することも可能である。図2は図1の1点鎖線で囲んだ部分20のみを用いて差動ディザーを重畳する場合の構成図であり、図1と共通する部分には同一の符号を付けている。これに対し、図示しないが、図1から1点鎖線で囲んだ部分20を外して同相ディザーのみを重畳することもできる。

【0011】

【発明の効果】以上詳細に説明したように、本発明によ

り、高分解能のA/D変換装置を実現できる。

【図面の簡単な説明】

【図1】第1の発明の構成図である。

【図2】第2の発明の構成図である。

【符号の説明】

- 1, 2, 9, 10, アナログ加算器
- 3, 4 アナログ／デジタル変換器
- 5, 14 デジタル減算器
- 6 DSP
- 7, 12 デジタル／アナログ変換器
- 8, 13 ディザー信号源
- 11 差動化回路

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**